

---

(19) **KOREAN INTELLECTUAL PROPERTY OFFICE (KR)**

---

**KOREAN PATENT ABSTRACTS**

(51) Int. Cl.<sup>6</sup>  
H01L 21/207

(11)Publication  
number: **Patent 1999-0086491**

(43)Date of publication of application:  
**15.12.1999**

---

(21)Application **10-1998-0019487**  
number:

(71)Applicant: **SAMSUNG  
ELECTRONICS CO.,  
LTD.**

(22)Date of **28.05.1998**  
filing:

(72)Inventor: **CHO, DAE SHIK  
KIM, JAE PHIL**

**(54) METHOD FOR ETCHING MULTI-LAYERED FILM OF SEMICONDUCTOR  
DEVICE**

**Abstract:**

A method for etching a multi-layered film including a hard mask in a single chamber is provided. The multi-layered film is stacked sequentially with a first conductive layer, a second conductive layer and a hardmask layer. The method comprises the steps of forming a photoresist pattern on a hardmask layer, forming a hardmask pattern using this as an etching mask and sequentially etching the second conductive layer and the first conductive layer using the photoresist pattern and the hardmask pattern as an etching mask in the same chamber. At this time, it is preferred that the combination gas of CF<sub>4</sub> and He is used as an etching gas when forming a hardmask pattern and the combination gas of SF<sub>6</sub> and Cl<sub>2</sub> is used as an etching gas when etching the second conductive layer and the first conductive layer. In accordance with the present invention, the number of processes is reduced by etching a multi-layered film including a hardmask layer in a single chamber, thereby reducing the expense and time and particularly, reducing particle pollution occurred when changing chambers or reducing rearrangement time.

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
H01L 21/207

(11) 공개번호 특1999-0086491  
(43) 공개일자 1999년12월15일

(21) 출원번호 10-1998-0019487  
(22) 출원일자 1998년05월28일  
(71) 출원인 삼성전자 주식회사 윤종용  
경기도 수원시 팔달구 매탄3동 416  
(72) 발명자 조대식  
서울특별시 강남구 개포동 대치아파트 218동 701호  
김재필  
경기도 수원시 권선구 세류2동 1115-10 신안빌라 404호  
(74) 대리인 권석홀, 이영필, 정상빈

심사청구 : 있음

(54) 반도체장치의 다층막 식각방법

요약

본 발명은 반도체 장치의 제조공정중 하드마스크층을 포함하는 다층막을 단일 챔버 내에서 식각하는 방법을 제공한다. 제1도전층, 제2도전층 및 하드마스크층이 순차적으로 적층된 다층막에 대하여, 먼저 하드마스크층 상에 감광막 패턴을 형성하고 이를 식각 마스크로 하여 하드마스크 패턴을 형성하고, 동일한 챔버에서 감광막 패턴 및 하드마스크 패턴을 식각 마스크로 하여 제2도전층 및 제1도전층을 연속적으로 식각하는 것을 특징으로 한다. 이때, 식각가스로는 하드마스크 패턴을 형성하는 과정에서는 사불화탄소(CF<sub>4</sub>) 및 헬륨(He)의 혼합가스를 사용하고, 제2도전층 및 제1도전층을 식각하는 과정에서는 육불화황(SF<sub>6</sub>) 및 염소(Cl<sub>2</sub>)의 혼합가스를 사용하는 것이 바람직하다.

본 발명에 따르면, 하드마스크층을 포함하는 다층막을 단일 챔버에서 식각함으로써, 공정수를 줄일 수 있어 생산비용과 시간을 절감할 수 있으며, 특히, 챔버를 바꾸는 과정에서 발생하는 파티클 오염이나 재정렬시간을 줄일 수 있다.

도면

도면

발명서

도면의 간단한 설명

도 1a 내지 도 1d는 종래의 방법에 의해 2 이상의 챔버에서 다층막을 식각하는 방법을 나타낸 단면도이다.

도 2a 내지 도 2c는 본 발명에 의해 단일 챔버에서 다층막을 식각하는 방법을 나타낸 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조공정중 식각방법에 관한 것으로, 특히 하드마스크층을 포함하는 다층막의 식각방법에 관한 것이다.

반도체 장치의 제조공정에서 소정의 막을 소정의 패턴으로 식각하고자 할 때 일반적으로 감광막을 사용하여 식각한다. 즉, 식각하고자 하는 막 위에 감광막을 도포하고 원하는 패턴의 레티클을 이용하여 노광, 현상하면 원하는 패턴의 감광막 패턴이 얻어지고, 이 감광막 패턴을 이용하여 하부막을 식각하게 된다.

그러나, 반도체 장치에서 도전층으로 사용되는 텅스텐 실리사이드(WSi)와 같은 물질로 이루어진 막은 반사도가 높아 사진식각공정이 어려운 문제점이 있다. 따라서, 이런 경우는 식각하고자 하는 막 위에 반사방지막 또는 하드마스크층을 먼저 형성하고, 상기와 같은 사진식각공정으로 하드마스크 패턴을 형성한 다음, 이 하드마스크 패턴을 식각 마스크로 하여 식각하고자 하는 막을 식각하게 된다.

그런데, 이렇게 하드마스크를 사용하면 텅스텐 실리사이드와 같은 막을 감광막 패턴을 이용할 때보다 정

교한 프로파일로 식각할 수 있고, 미세한 선포도 구현할 수 있으나, 공정수가 늘게 되고 그에 따라 사용 되는 설비나 시간도 늘어, 여러 가지 설비에 노출되므로 파티클 오염 등에도 취약하게 된다. 특히, 트랜 지스터 제조공정에서 전형적으로 등장하는 하드마스크층을 포함한 다층막을 식각하기 위해, 종래에는 하 나의 식각 챔버에서 식각하지 않고 2 이상의 챔버를 사용함으로써 이러한 문제는 더욱 심각하였다. 이를 첨부한 도면을 참조하여 좀더 상술하면 다음과 같다.

도 1a에 도시된 바와 같이, 소자분리막(20)이 형성된 반도체 기판(10) 상에 게이트 산화막(30), 다결정 실리콘 등으로 이루어진 제1도전층(40), 텅스텐 실리사이드 등으로 이루어진 제2도전층(50) 및 주로 산화 물로 이루어진 하드마스크층(60)을 차례로 형성하고, 그 위에 감광막 패턴(70)을 형성한다. 이렇게 형성 된 웨이퍼를 산화물 식각용 챔버에 넣고 감광막 패턴(70)을 마스크로 하여 식각하면 도 1b와 같이 하드마 스크 패턴(61)이 형성된다. 이어서, 감광막 패턴(71)을 제거하면 도 1c와 같이 되고, 이것을 다결정 실 리콘 식각용 챔버에 넣고 하드마스크 패턴(61)을 식각 마스크로 하여 제2도전층(50) 및 제1도전층(40)을 식각하면 도 1d와 같이 되어 이후 하드마스크 패턴(62)을 제거하면 게이트 전극(51, 41)이 형성된다.

이상에서 본 바와 같이, 하드마스크 패턴 형성공정과 텅스텐 실리사이드 및 다결정 실리콘 식각공정을 각 각의 챔버에서 수행함으로써, 많은 생산비용과 시간이 필요할 뿐만 아니라 하드마스크층 식각 마진을 확 보하기 위한 셋팅시간도 많이 들어 생산성과 수율이 좋지 않았다.

#### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 하드마스크층을 포함하는 반도체 장치의 다층막을 단일 챔버에 서 식각하는 방법을 제공함에 있다.

#### 발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위하여 본 발명에 따른 하드마스크층을 포함하는 다층막을 단일 챔버에서 식각하는 방법은, 제1도전층, 제2도전층 및 하드마스크층이 순차적으로 적층된 다층막에 대하여, 먼저 하 드마스크층 상에 감광막 패턴을 형성하고 이를 식각 마스크로 하여 하드마스크 패턴을 형성한다. 이어서, 하드마스크층을 식각했던 챔버와 동일한 챔버에서 감광막 패턴 및 하드마스크 패턴을 식각 마스 크로 하여 제2도전층 및 제1도전층을 연속적으로 식각하는 것을 특징으로 한다.

여기서, 하드마스크층은 플라스마 인핸스트 산화막(Plasma Enhanced Oxide)의 단일막 또는 플라스마 인핸 스트 산화막 및 플라스마 인핸스트 SiON(Plasma Enhanced SiON)의 복합막으로 이루어진다.

그리고, 제1도전층 및 제2도전층은 각각 다결정 실리콘 및 금속 실리사이드로 이루어진다

또한, 하드마스크 패턴을 형성하는 과정에서는 그 식각가스로 사불화황(CF<sub>4</sub>) 및 헬륨(He)의 혼합가스를 사 용하는 것이 바람직하고, 이어서 제2도전층 및 제1도전층을 식각하는 과정에서는 그 식각가스로 육불화황 (SF<sub>6</sub>) 및 염소(Cl<sub>2</sub>)의 혼합가스를 사용하는 것이 바람직하다.

즉, 본 발명에 따르면 하드마스크층을 식각했던 챔버 내에서 식각가스만 바꾸고 그 하부층을 연속적으로 식각하게 되므로, 웨이퍼를 다른 챔버로 옮기는 과정에서 발생하는 파티클 오염이나 재정렬 등을 피할 수 있어 생산성과 수율을 향상시킬 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 트랜지스터 제조공정을 예로 들어 상세히 설 명한다.

먼저, 도 2a를 보면, 도 1a와 같이 소자분리막(200)이 형성된 반도체 기판(100) 상에 게이트 산화막 (300), 뒤에 플로팅 게이트가 되는 다결정 실리콘 등으로 이루어지는 제1도전층(400), 뒤에 컨트롤 게이 트가 되는 텅스텐 실리사이드 등으로 이루어지는 제2도전층(500) 및 하드마스크층(600)을 차례로 적층한 다. 여기서, 하드마스크층(600)은 전술한 바와 같이 플라스마 인핸스트 산화막의 단일막이나 플라스마 인핸스트 산화막 및 플라스마 인핸스트 SiON의 복합막으로 형성된다. 이어서, 하드마스크층(600) 상에 감광막을 형성하고 게이트의 패턴대로 노광, 현상하여 감광막 패턴(700)을 형성한다.

이어서, 감광막 패턴(700)을 식각 마스크로 하여 하드마스크층(600)을 식각한다. 이때, 식각가스로는 사 불화탄소(CF<sub>4</sub>) 및 헬륨(He)의 혼합가스가 바람직하며, 그 유량은 각 설비나 다층막의 두께 등에 따라 다르 겠지만 본 실시예에서는 각각 30sccm 및 10sccm 정도로 하였다. 이런 조건하에서 식각 종말점 탐지방식 에 의한 식각이나 하드마스크층의 두께에 따른 시간식각(time etching)을 수행한다.

이렇게 하여 하드마스크층(600)의 식각이 끝나고 하드마스크 패턴이 형성되면, 하드마스크층을 식각했던 그 챔버 내에서 식각가스 등 공정조건만 바꾸고 연속적으로 제2도전층(500) 및 제1도전층(400)을 식각한 다. 여기서, 남아 있는 감광막 패턴은 미리 제거할 필요가 없고 형성된 하드마스크 패턴과 함께 식각 마 스크로서 사용된다. 이때의 식각가스는 육불화황(SF<sub>6</sub>) 및 염소(Cl<sub>2</sub>)의 혼합가스가 바람직하고 그 유량은 각각 5sccm 및 65sccm 정도로 한다. 종말점 탐지방식에 의하여 제2도전층 및 제1도전층을 식각하면 도 2b와 같이 된다.

이어서, 남아 있는 감광막 패턴(710)을 제거한 상태를 도시한 것이 도 2c이고, 하드마스크 패턴을 마저 제거하면 게이트 전극이 완성된다. 계속하여 통상적인 방법으로 반도체 기판 상에 소스와 드레인 영역을 형성하고 비트라인, 워드라인 등을 형성하여 트랜지스터를 완성한다.

본 발명의 실시예에 있어서는 트랜지스터의 제조공정을 예로 들었지만, 본 발명은 이에 한정되지 않으며, 다결정 실리콘층, 금속 실리사이드 및 하드마스크층이 순차적으로 포함된 구조라면 어떤 공정에서도 적용 가능하다.

#### 발명의 효과

이상 상술한 바와 같이, 본 발명에 따르면, 하드마스크층을 포함하는 다층막을 챔버를 바꾸지 않고 단일 챔버에서 식각함으로써, 공정수를 줄일 수 있어 생산비용과 시간을 절감할 수 있으며, 특히, 챔버를 바꾸는 과정에서 발생하는 파티클 오염이나 재정렬을 회피할 수 있어 생산성과 수율을 향상시킬 수 있다.

#### (57) 청구의 범위

##### 청구항 1

반도체 기판 상에 게이트 산화막, 제1도전층, 제2도전층 및 하드마스크층을 순차적으로 적층하는 단계; 상기 하드마스크층 상에 감광막 패턴을 형성하고 이를 마스크로 하여 하드마스크 패턴을 형성하는 단계; 및 동일한 챔버에서, 상기 감광막 패턴 및 하드마스크 패턴을 식각 마스크로 하여 상기 제2도전층 및 제1도전층을 연속적으로 식각하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 다층막 식각방법.

##### 청구항 2

제1항에 있어서, 상기 하드마스크층은 플라스마 인헨스트 산화막의 단일막 또는 플라스마 인헨스트 산화막 및 플라스마 인헨스트 SiON의 복합막으로 이루어진 것을 특징으로 하는 반도체 장치의 다층막 식각방법.

##### 청구항 3

제1항에 있어서, 상기 제1도전층은 다결정 실리콘으로 이루어지고, 상기 제2도전층은 금속 실리사이드로 이루어진 것을 특징으로 하는 반도체 장치의 다층막 식각방법.

##### 청구항 4

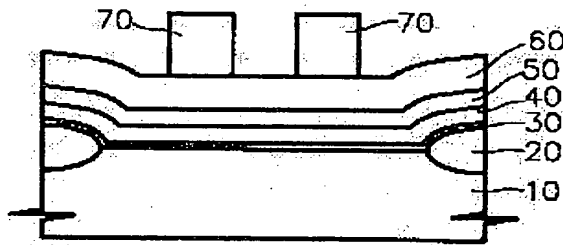
제1항에 있어서, 상기 하드마스크 패턴을 형성하는 단계는 사불화탄소(CF<sub>4</sub>) 및 헬륨(He)의 혼합가스를 식각가스로 사용하는 것을 특징으로 하는 반도체 장치의 다층막 식각방법.

##### 청구항 5

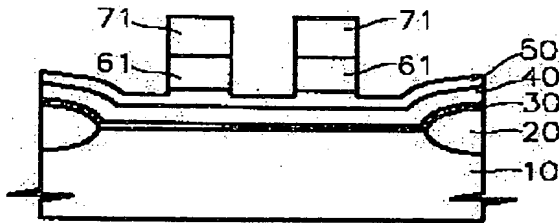
제1항에 있어서, 상기 제2도전층 및 제1도전층을 식각하는 단계는 육불화황(SF<sub>6</sub>) 및 염소(Cl<sub>2</sub>)의 혼합가스를 식각가스로 사용하는 것을 특징으로 하는 반도체 장치의 다층막 식각방법.

#### 도면

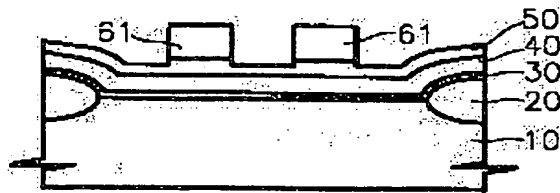
도면 1a



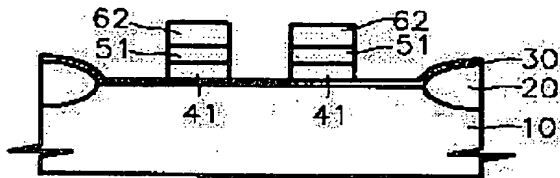
도면 1b



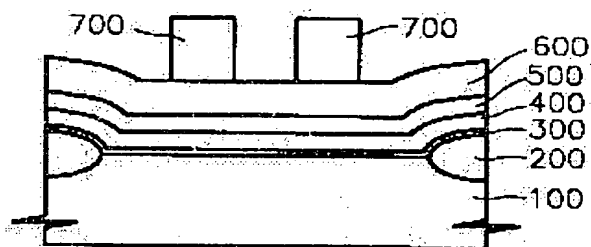
도 1a



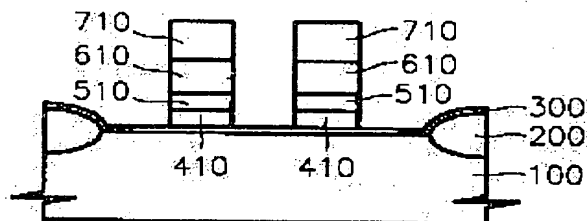
도 1b



도 2a

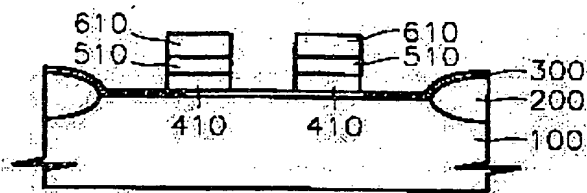


도 2b



BEST AVAILABLE COPY

도 2b



BEST AVAILABLE COPY